

[Title of the Invention] Method of manufacturing a semiconductor device

[Abstract]

[Object]

To provide a method of manufacturing a semiconductor device which has achieved a reduction of number of manufacturing steps.

[Means for solving the problems]

A method of manufacturing a semiconductor device constituting DMOS transistors and MOS transistors of logic type in one semiconductor device characterized by including the steps of: forming gate electrodes constituting the DMOS transistors and the MOS transistors of logic type, with a same film (for example, polysilicon film 18) resistant to the high-temperature heat treatment at about 1050 °C or more; and self-aligningly forming a titanium silicide film 36 on the polysilicon film 18.

[Claims]

[Claim 1] A method of manufacturing a semiconductor device including a first MOS transistor and a second MOS transistor of a withstanding voltage lower than that of the first MOS transistor, wherein gate electrodes, which constitute the respective first and second MOS transistors, are formed of a same film resistant to a high-temperature heat treatment at approximately 1050 °C or more.

[Claim 2] A method of manufacturing a semiconductor device including a first MOS transistor and a second MOS transistor of a withstanding voltage lower than that of the first MOS transistor, wherein gate electrodes, which constitute the respective first and second MOS transistors, are formed of a same film resistant to a high-temperature heat treatment at approximately 1050 °C or more; and a silicide film is self-aligningly formed on the film.

[Claim 3] The method of manufacturing a semiconductor device according to any one of claims 1 and 2, wherein the first MOS

transistor is a DMOS transistor and the second MOS transistor is a MOS transistor of logic type.

[Claim 4] The method of manufacturing a semiconductor device according to any one of claims 1 and 2, wherein the same film is a polysilicon film; and the silicide film is a silicide film obtained by alloying after forming metal on a polysilicon film.

[Claim 5] A method of manufacturing a semiconductor device, comprising the steps of;

- in a semiconductor layer of one conductivity type, forming a first low-concentration diffusion layer of an opposite conductivity type for a first MOS transistor, then forming an element isolation film for separating the first MOS transistor and a second MOS transistor by a LOCOS process, and forming a first gate oxide film for dividing the low-concentration diffusion layer;

- forming a second gate oxide film in a region except the element isolation film and the first gate oxide film;

- forming a second low-concentration diffusion layer of the opposite conductivity type by ion-implanting impurities of the one conductivity type into the low-concentration layer using as a mask a resist film with an opening on one side of the low-concentration diffusion layer separated with the first gate oxide film interposed therebetween;

- forming a third gate oxide film for the second MOS transistor after removing the second gate oxide film on the formation region of the second MOS transistor;

- forming a conductive film over an entire surface, and then forming a first gate electrode for the first MOS transistor across the first gate oxide film and the second gate oxide film by patterning the conductive film;

- forming a diffusion layer of the one conductivity type by ion-implanting impurities of the one conductivity type into the second low-concentration diffusion layer such that the diffusion layer is adjacent to the first gate electrode;

forming a second gate electrode for the second MOS transistor by patterning the conductive film on the formation region of the second MOS transistor;

forming third low-concentration diffusion layers of the opposite conductivity type by ion-implanting impurities of the opposite conductivity type using the first and the second gate electrodes as masks such that each of the third low-concentration diffusion layers is adjacent to one of the first and the second gate electrodes; and

forming sidewall insulation films in sidewall portions of the first and the second gate electrodes, and then forming high-concentration diffusion layers of the opposite conductivity type by ion-implanting impurities of the opposite conductivity type using the first and the second gate electrodes and the sidewall insulation film as masks such that each of the high-concentration diffusion layers is adjacent to one of the sidewall insulation films.

[Claim 6] A method of manufacturing a semiconductor device, comprising the steps of;

in a semiconductor layer of one conductivity type, forming a first low-concentration diffusion layer of an opposite conductivity type for a first MOS transistor, then forming an element isolation film for separating the first MOS transistor and a second MOS transistor by a LOCOS process, and forming a first gate oxide film for dividing the low-concentration diffusion layer;

forming a second gate oxide film in a region except the element isolation film and the first gate oxide film;

forming a second low-concentration diffusion layer of the opposite conductivity type by ion-implanting impurities of the one conductivity type into the low-concentration layer using as a mask a resist film with an opening on one side of the low-concentration diffusion layer separated with the first gate oxide film interposed therebetween;

forming a third gate oxide film for the second MOS transistor after removing the second gate oxide film on the formation region of the second MOS transistor;

forming a conductive film over an entire surface, and then forming a first gate electrode for the first MOS transistor across the first gate oxide film and the second gate oxide film by patterning the conductive film;

forming a diffusion layer of the one conductivity type by ion-implanting impurities of the one conductivity type into the second low-concentration diffusion layer such that the diffusion layer is adjacent to the first gate electrode;

forming a second gate electrode for the second MOS transistor by patterning the conductive film on the formation region of the second MOS transistor;

forming third low-concentration diffusion layers of the opposite conductivity type by ion-implanting impurities of the opposite conductivity type using the first and the second gate electrodes as masks such that each of the third low-concentration diffusion layers is adjacent to one of the first and the second gate electrodes;

forming sidewall insulation films in sidewall portions of the first and the second gate electrodes, and then forming high-concentration diffusion layers of the opposite conductivity type by ion-implanting impurities of the opposite conductivity type using the first and the second gate electrodes and the sidewall insulation film as masks such that each of the high-concentration diffusion layers is adjacent to one of the sidewall insulation films; and

forming a metallic film over an entire surface, and then self-aligningly forming silicide films on the first and the second gate electrodes and the high-concentration diffusion layers by a heat treatment of the metallic film.

[Detailed Description of the Invention]

[0001]

[Field of the Invention]

The present invention relates to a method of manufacturing a semiconductor device, and specifically, relates to a technology of reducing the number of manufacturing steps in forming various MOS transistors in one semiconductor substrate, for example, the MOS transistors constituting a driver for driving liquid crystal.

[0002]

[Conventional Art]

A description will be made below for a conventional method of manufacturing a semiconductor device with reference to the drawings. Here, a driver for driving liquid crystal includes an n-channel MOS transistor and a p-channel MOS transistor of logic type (for example, 3 V), an n-channel MOS transistor and a p-channel MOS transistor of high withstanding voltage (for example, 30 V), an n-channel double diffused MOS (DMOS) transistor, a p-channel DMOS transistor, and an n-channel MOS transistor for a level shifter (for example, 30 V).

[0003]

In a semiconductor device including various MOS transistors as described above, for gate electrodes of the various elements such as the n-channel MOS transistor and the p-channel MOS transistor of high withstanding voltage, the n-channel DMOS transistor, the p-channel DMOS transistor and the n-channel MOS transistor for a level shifter, a polysilicon film is employed. For gate electrodes of the other elements requiring speed such as the n-channel MOS transistor and the p-channel MOS transistor of logic type, a tungsten silicide (WSix) film is laminated on a polysilicon film, thus reducing resistance thereof.

[0004]

A method of manufacturing such a semiconductor device will be described with reference to the drawings. As shown in FIG. 11(a), a gate electrode 54 is formed in a region other than an element isolation film 52, which is formed by a LOCOS process on a semiconductor substrate 51 with a thick gate oxide film

53 for high withstanding voltage interposed therebetween. A TEOS film 55 is formed so as to cover the gate electrode 54.

[0005]

From this state, as shown in FIG. 11(b), a resist film 56 is formed so as to cover the gate electrode 54. Using the resist film 56 as a mask, the gate oxide film 53 in a formation region of the MOS transistor of logic type is removed.

[0006]

Subsequently, as shown in FIG. 12(a), a polysilicon film 57, a tungsten silicide (WSix) film 58, and a TEOS film 59 are formed over the entire surface. In a state where a resist film 60 is formed in the formation region of the MOS transistor of logic type, using the resist film 60 as a mask, the TEOS film 59 is subjected to overall (anisotropic) etching to be removed as shown in FIG. 12(b). Here, the reference numeral 59A indicates a hard mask in forming the gate electrode of the MOS transistor of logic type in the later step. The reference numeral 59B indicates a layer of a residual film of the TEOS film 59, which is originally unnecessary.

[0007]

Furthermore, the polysilicon film 57 and the tungsten silicide (WSix) film 58 are patterned using the resist film 60 and the hard mask 59A as masks to form a gate electrode of the MOS transistor of logic type.

[0008]

At this time, as shown in FIG. 13, the residual film layer 59B serves as the mask, and the tungsten silicide (WSix) film 58A and the poly silicon film 57A under the layer 59B remain. In a case where a metallic film is wired on an interlayer insulation film thereon, a short circuit failure is caused between metals.

[0009]

[Problems to be Solved by the Invention]

As described above, the various MOS transistors constituting the conventional driver for driving liquid crystal include the

gate electrodes made of different materials. Accordingly, in sidewall portions of the gate electrode of the DMOS transistor or the MOS transistor of high withstanding voltage, which are formed of a single layer of the polysilicon film, for example, part of the tungsten silicide (WSix) film sometimes remains in a state of a sidewall spacer film. Therefore, another step of removing the residual film was required.

[0010]

The MOS transistor of high withstanding voltage and the microscopic MOS transistor of logic type are different from each other in thickness of the gate oxide films. Accordingly, separate ion-implantation steps were required for forming a source/drain layer of the DMOS transistor or the MOS transistor of high withstanding voltage, and forming a source/drain layer of the microscopic MOS transistor.

[0011]

In the above described constitution, it is conceived that the above problems does not occur if all of the gate electrodes are formed of a polycide structure. However, at the time, it was difficult to employ the polycide structure in the DMOS transistor because of problems to be described below.

[0012]

Specifically, a description will be made with secondary reference to FIG. 6(b). In the DMOS process, a p-type body layer (PB20) and an n-type body layer (NB21) are self-aligningly formed by ion-implantation using gate electrodes 18F and 18G as a mask for the p-type body layer and the n-type body layer, respectively. The DMOS process includes a diffusion step for the p-type body layer and the n-type body layer after the ion implantation. Here, the source/drain layers of the transistor of high withstanding voltage and the DMOS transistor need to have a diffusion depth of about 1 μm so that a withstanding voltage becomes 30 V or higher. In this diffusion process, a high-temperature heat treatment is applied at 1050 °C or more. At this time, in a case where the gate electrodes are formed of the polycide structure, stress

due to heat is applied to the tungsten silicide (WSix) film, and the device characteristic may sometimes be deteriorated. Accordingly, the polycide structure could not be employed in the DMOS transistor like the above described one. The stress (expansion coefficient) of the tungsten silicide (WSix) film due to heat is about 6.3×10^{-6} /°C, and the stress (expansion coefficient) of the polysilicon film due to heat is about 2×10^{-6} /°C. Since the thermal expansion coefficient of the tungsten silicide (WSix) film is about three times larger than that of the polysilicon film, an effect thereof was large.

[0013]

[Means for solving the problem]

A method of manufacturing a semiconductor device according to the present invention is made in the light of the above problems. As shown in FIGs. 10(a) and 10(b), in a method of forming DMOS transistors and MOS transistors of logic type in one semiconductor device, the method is characterized by including the steps of: forming gate electrodes constituting the DMOS transistors and the MOS transistors of logic type, with a same film (for example, polysilicon film 18) resistant to the high-temperature heat treatment at about 1050 °C or more; and self-aligningly forming a titanium silicide film 36 on each of the gate electrodes 18A, 18B, 18C, 18D, 18E, 18F and 18G made of the polysilicon film 18.

[0014]

[Embodiments of the present invention]

A description will be made below for an embodiment according to a method of manufacturing a semiconductor of the present invention with reference to the drawings.

[0015]

Here, FIGs. 10(a) and 10(b) show a semiconductor device of the present invention, that is, a driver for driving liquid crystal. As shown from the left in FIG. 10(a), the semiconductor device is constituted of an n-channel MOS transistor and a p-channel MOS transistor of logic type (for example, 3 V), an n-channel MOS transistor for a level shifter

(for example, 30 V), and an n-channel MOS transistor of high withstanding voltage (for example, 30 V), and as shown from the left in FIG. 10(b), further constituted of a p-channel MOS transistor of high withstanding voltage (for example, 30 V), an n-channel DMOS transistor, and a p-channel DMOS transistor.

[0016]

A description will be made below for a method of manufacturing various MOS transistors constituting the above described driver for driving liquid crystal.

[0017]

First, in FIGs. 1(a) and 1(b), in order to decide regions for forming the various MOS transistors, for example, p well 3 and n wells 5 are formed in a p-type semiconductor substrate 1.

[0018]

Specifically, in a state where each of formation regions of the n wells of the substrate 1 is covered with a not-shown resist film via a pad oxide film 2 of about 500 Å, boron ions, for example, are ion-implanted at an acceleration voltage of about 60 KeV under an implantation condition of 4×10^{12} /cm². Thereafter, as shown in FIGs. 1(a) and 1(b), in a state where each of the p well 3 is covered with a resist film 4, for example, phosphorous ions are ion-implanted at an acceleration voltage of about 160 KeV under an implantation condition of 6×10^{12} /cm². Actually, each ionic species ion-implanted as previously described is thermally diffused, for example, under N₂ atmosphere at 1150 °C for four hours to form the p well 3 and the n wells 5.

[0019]

Subsequently, in FIGs. 2(a) and 2(b), p-type and n-type source/drain layers of low concentration (hereinafter, referred to as LP layers 8 and LN layers 9) are formed.

[0020]

Specifically, in a state where the pad oxide film 2 on each of LN layer formation regions of the substrate is covered with a not-shown resist film, boron ions, for example, are ion-implanted into the substrate surface layer at an acceleration

voltage of about 80 KeV under an implantation condition of 8×10^{12} /cm² to form the LP layers 8. Thereafter, in a state where each of the LP layers 8 is covered with a not-shown resist film, phosphorous ions, for example, are ion-implanted into the substrate surface layer at an acceleration voltage of about 50 KeV under the implantation condition of 4×10^{12} /cm² to form the LN layers 9. Actually, each ionic species ion-implanted as previously described is thermally diffused under N₂ atmosphere at 1100 °C for two hours to form the LP layers 8 and the LN layers 9.

[0021]

Subsequently, in FIGs. 3(a) and 3(b), in order to isolate the elements for each MOS transistor, element isolation films 11 and selection oxide films 11A (corresponding to first gate oxide films and constituting gate oxide films for the n-channel and p-channel DMOS transistors integrally with second gate oxide films 12 described later) with a thickness of about 6000 Å are formed by the LOCOS process. On active regions other than the element isolation films 11 and the selection oxide films 11A, thick gate oxide films 12 (corresponding to the second gate oxide films) for high withstanding voltage with a thickness of about 800 Å are formed by thermal oxidation.

[0022]

Furthermore, in FIGs. 4(a) and 4(b), in order to adjust diffusion depth on a source region side of each of the LP layers 8 and the LN layers 9 of the n-channel and p-channel DMOS transistors, impurities of the opposite conductivity type are ion-implanted using a resist film as a mask. Here, the shallow diffusion depth is for preventing punch through upon application of high voltage to the drain and for increasing concentration of an SLP layer 8A and an SLN layer 9A to reduce parasitic resistance. FIGs. 4(a) and 4(b) exemplify a state where, for example, boron ions are ion-implanted into the LN layers 9 at an acceleration voltage of about 240 KeV under an implantation condition of 2×10^{12} /cm² using a resist film 14.

[0023]

Subsequently, in FIGs. 5(a) and 5(b), after the gate oxide films 12 on the formation regions of the n-channel and p-channel MOS transistors for normal withstanding voltage and the formation region of the n-channel MOS transistor for a level shifter are removed, new gate oxide films of predetermined thickness are formed on the above regions.

[0024]

Specifically, first, for the n-channel MOS transistor for a level shifter, a gate oxide film 16 with a thickness of about 140 Å (at this stage, the thickness is about 100 Å, but is increased in formation of a gate oxide film for normal withstanding voltage to be described later) is formed over the entire surface by thermal oxidation. Subsequently, after the gate oxide film 16 of the n-channel MOS transistor for a level shifter formed on each of the formation regions of the n-channel and p-channel MOS transistors for normal withstanding voltage is removed, thin gate oxide films 17 (about 70 Å) for normal withstanding voltage are formed on the above regions by thermal oxidation.

[0025]

Subsequently, in FIGs. 6(a) and 6(b), a polysilicon film 18 of about 1000 Å is formed over the entire surface. The polysilicon film 18 is made conductive by thermal diffusion using POCl_3 as a source of thermal diffusion, and then the polysilicon 18 is patterned to form gate electrodes 18D, 18E, 18F and 18G (serving as masks for ion implantation in forming body layers of the DMOS transistors to be described below) of the n-channel and p-channel MOS transistors for high withstanding voltage and the n-channel and p-channel DMOS transistors, respectively. Simultaneously, the polysilicon film 18 remains on the formation regions of the n-channel and p-channel MOS transistors for normal withstanding voltage and the formation region of the n-channel MOS transistor for a level shifter.

[0026]

It is set that over etching is carried out and the gate oxide films 12 are removed by etching at this time, except parts under the gate electrodes 18D, 18E, 18F and 18G.

[0027]

A not-shown thin TEOS film (about 200 Å) is formed over the entire surface. Into each of the formation regions of the source layers of the n-channel and p-channel DMOS transistors, impurities of the opposite conductivity type are ion-implanted using a resist film to form impurity layer (p-type body layer 20 and n-type body layer 21) of the opposite conductivity type in the above part as shown in FIG. 6(b). The above described TEOS film is for suppressing damage to the substrate surface in the ion-implantation step. For example, in patterning the gate electrodes 18D, 18E, 18F and 18G, if it is set that parts of the gate oxide films 12 are not completely removed by etching, except parts under the gate electrodes 18D, 18E, 18F and 18G, it is unnecessary to form the TEOS film.

[0028]

Specifically, first, using a first resist film with an opening on the formation region of the source layer of the n-channel DMOS transistor, for example, boron ions are ion-implanted into the LN layer 9A at an acceleration voltage of about 40 KeV under an implantation condition of $5 \times 10^{13} / \text{cm}^2$ to form the p-type body layer 20. Using a second resist film with an opening on the formation region of the source layer of the p-channel DMOS transistor, phosphorus ions are ion-implanted into the LP layer 8A at an acceleration voltage of about 100 KeV under an implantation condition of $8 \times 10^{13} / \text{cm}^2$ to form the n-type body layer 21. Actually, each ion species ion-implanted as previously described is thermally diffused to form the p-type body layer 20 and the n-type body layer 21.

[0029]

Here, in this diffusion step, the high-temperature heat treatment of about 1050 °C or more is applied. However, since the gate electrode is formed of a polysilicon film, the effect of the stress due to heat (expansion coefficient, about 2×10^{-6}

/°C) is small, and the device characteristic is not deteriorated.

[0030]

Furthermore, a second p well 23 and a second n well 24 are formed in the substrate (p well 3), in the formation regions of the n-channel and p-channel MOS transistors for normal withstanding voltage.

[0031]

Specifically, using a not-shown resist film with an opening on the formation region of the n-channel MOS transistor of normal withstanding voltage as a mask, for example, boron ions are ion-implanted into the p well 3 at an acceleration voltage of about 240 KeV under an implantation condition of 2×10^{13} /cm² so as to penetrate the polysilicon film 18, thus forming the second p well 23. Using a not-shown resist film with an opening on the formation region of the p-channel MOS transistor of normal withstanding voltage as a mask, for example, phosphorus ions are ion-implanted into the p well 3 at an acceleration voltage of about 550 KeV under an implantation condition of 2×10^{13} /cm² so as to penetrate the polysilicon film 18, thus forming the second n well 24. The polysilicon film 18 is left in a state of the time when the film is formed, without being patterned for the gate electrode. Accordingly, each of the second p well 23 and the second n well 24 can be formed in a uniform depth.

[0032]

Subsequently, in FIGs. 7(a) and 7(b), the polysilicon film 18 is patterned to form gate electrodes 18A, 18B and 18C for the n-channel and p-channel MOS transistors for normal withstanding voltage and the n-channel MOS transistor for a level shifter. Here, each of the above described gate electrodes 18D, 18E, 18F and 18G and the selection oxide film 11A needs to be covered with a not-shown resist film. Also in this case, it is set that over etching is carried out and the gate oxide films 16 and 17 are removed by etching, except parts under the gate electrodes 18A, 18B and 18C.

[0033]

Furthermore, in FIGs. 8(a) and 8(b), after TEOS films 27 of about 200 Å are formed on the gate electrodes 18A, 18B, 18C, 18D, 18E, 18F and 18G and the substrate, using the gate electrodes 18A, 18B, 18C, 18D, 18E, 18F and 18G and a not-shown resist film as masks, impurities of each conductivity type are ion-implanted to form a source/drain layer of low concentration for each MOS transistor.

[0034]

Specifically, using as a mask a not-shown resist film with openings on the respective formation regions of the low-concentration source/drain layers of the n-channel MOS transistor for normal withstanding voltage, the n-channel MOS transistor for a level shifter, the n-channel MOS transistor for high withstanding voltage, and the n-channel DMOS transistor, for example, phosphorus ions are ion-implanted at an acceleration voltage of about 20 KeV under an implantation condition of $5 \times 10^{13} / \text{cm}^2$ to form n- type source/drain layers 25 of low concentration. Using as a mask a not-shown resist film with openings on the respective formation regions of the low-concentration source/drain layers of the p-channel MOS transistor for normal withstanding voltage, the p-channel MOS transistor for high withstanding voltage, and the p-channel DMOS transistor, for example, boron difluoride ions are ion-implanted at an acceleration voltage of about 20 KeV under an implantation condition of $3 \times 10^{13} / \text{cm}^2$ to form p+ type source/drain layers 26 of low concentration. The ion implantation is activated by lamp annealing under N_2 atmosphere at about 900°C for 10 seconds.

[0035]

Furthermore, in FIGs. 8(a) and 8(b), a TEOS film 28 of about 2500 Å is formed over the entire surface by an LPCVD process so as to cover the gate electrodes 18A, 18B, 18C, 18D, 18E, 18F and 18G. After resist films 29 are formed so as to cover part of or the entire of the surface of each gate electrode 18C, 18D, 18E, 18F or 18G, excepting the gate electrodes 18A

and 18B, the TEOS film 28 is anisotropically etched using the resist films 29 as a mask. As shown in FIGs. 9(a) and 9(b), sidewall spacer films 28A are thereby formed in both sidewall portions of each of the gate electrodes 18A and 18B, and in a sidewall portion on one side (source layer side) of each of the gate electrodes 18C, 18F and 18G. In the regions covered with the resist films 29, the TEOS film 28 remains intact. At this time, the low-concentration ion-implanted layer of the high withstanding voltage section is not affected by etching damage since the TEOS film remains thereon. Also, a surface of the polysilicon film to be formation regions of a salicide film to be described later is exposed.

[0036]

In FIGs. 9(a) and 9(b), into the formation region of each MOS transistor, impurities of each conductivity type are ion-implanted using the sidewall spacer films 28A and the TEOS film 28 as masks to form a high-concentration source/drain layer for each MOS transistor.

[0037]

Specifically, using as a mask a not-shown resist film with openings on the respective formation regions of the high-concentration source/drain layers of the n-channel MOS transistor for normal withstanding voltage, the n-channel MOS transistor for a level shifter, the n-channel MOS transistor for high withstanding voltage, and the n-channel DMOS transistor, for example, arsenic ions are ion-implanted at an acceleration voltage of about 70 KeV under an implantation condition of 5×10^{15} /cm² to form n+ type source/drain layers 30 of high concentration. Using as a mask a not-shown resist film with openings on the respective formation regions of the high-concentration source/drain layers of the p-channel MOS transistor for normal withstanding voltage, the p-channel MOS transistor for high withstanding voltage, and the p-channel DMOS transistor, for example, boron difluoride ions are ion-implanted at an acceleration voltage of about 40 KeV under an implantation condition of 4×10^{15} /cm² to form p+ type

source/drain layers 31 of high concentration. The ion-implantation is activated by lamp annealing under N₂ atmosphere at about 900 °C for 10 seconds in the same manner as the above described step.

[0038]

Here, since the source/drain layers 25, 26, 30 and 31 are subjected to the ion implantation via the TEOS films 27, the source/drain layers 25, 26, 30 and 31 are formed in a same step, thus reducing the number of manufacturing steps.

[0039]

The reference numerals 33 and 34 indicate p-type diffusion layer and n-type diffusion layer for taking out electric potentials of the p-type body layer 20 and the n-type body layer 21, respectively. The p-type diffusion layer 33 and the n-type diffusion layer 34 may be either formed in the same step as the above described step of forming the p+ type and n+ type source/drain layers 30 and 31 of high concentration or formed in a different step therefrom.

[0040]

Furthermore, in FIGs. 10(a) and (b), using the TEOS films 28 and 28A as a protection film, silicide films are formed on the upper surfaces of the p+ type and n+ type source/drain layers 30 and 31 of high concentration, and the upper surfaces of the gate electrodes 18A, 18B, 18C, 18D, 18E, 18F and 18G.

[0041]

Specifically, the TEOS films 27 are removed by overall etching. For example, a titanium film of about 300 Å is formed, and then the titanium film is subjected to lamp annealing to form titanium silicide (TiSi₂) films 36 on the p+ type and n+ type source/drain layers 30 and 31 of high concentration and the gate electrodes 18A, 18B, 18C, 18D, 18E, 18F and 18G. Subsequently, unreacted titanium film is removed. In the embodiment, for example, the unreacted titanium film is removed by use of a mixture of ammonium hydroxide, hydrogen peroxide, and water.

[0042]

Hereinafter, a description with reference to drawings is omitted. After an interlayer insulation film of about 6000 Å, composed of a TEOS film, a BPSG film, and the like, is formed over the entire surface, a metal wiring layer in contact with each of the source/drain layer 30 and 31 of high concentration is formed, thus completing the n-channel MOS transistor and the p-channel MOS transistor for normal withstanding voltage, the n-channel MOS transistor for a level shifter, the n-channel MOS transistor and the p-channel MOS transistor for high withstanding voltage, the n-channel DMOS transistor and the p-channel DMOS transistor, which constitute the driver for driving liquid crystal.

[0043]

As described above, in the present invention, the gate electrodes of the n-channel MOS transistor and the p-channel MOS transistor for normal withstanding voltage, the n-channel MOS transistor for a level shifter, the n-channel MOS transistor and the p-channel MOS transistor for high withstanding voltage, the n-channel DMOS transistor and the p-channel DMOS transistor, which constitute the driver for driving liquid crystal, can be formed of the same material (polysilicon film, or laminated film of polysilicon film and titanium silicide film). Accordingly, it is unnecessary to form the gate electrodes of different materials (a single layer film of a polysilicon film and the laminated film of a polysilicon film and a tungsten silicide film) furthermore in different steps unlike the conventional one. This eliminates the disadvantage that, in forming the gate electrode of the MOS transistor of normal withstanding voltage of logic type by patterning in the sidewall portion of the polysilicon film constituting the gate electrode of the MOS transistor for high withstanding voltage, the tungsten silicide film and the polysilicon film constituting the gate electrode remain, and thus another step for removing the residual film can be omitted.

[0044]

Moreover, the thickness of the gate oxide film on the formation region of the source/drain layer of high concentration for each MOS transistor is adjusted. Accordingly, the step of ion-implantation of the source/drain layer of high concentration for each MOS transistor can be performed in the same step.

[0045]

[Effect of the Invention]

According to the present invention, the gate electrodes of the MOS transistors constituting the driver for driving liquid crystal can be formed of the same material. Accordingly, unlike the conventional case where the gate electrodes are formed of different materials, the film of the different material constituting another gate electrode does not remain in the sidewall portion of the gate electrode, thus omitting the step of removing the residual film.

[0046]

Furthermore, the thickness of the gate oxide film on the formation region of the source/drain layer of high concentration for each MOS transistor is adjusted. Accordingly, the step of ion-implantation of the source/drain layer of high concentration for each MOS transistor can be performed in the same step, so that the number of manufacturing steps can be reduced.

[Brief Description of the Drawings]

[FIG. 1] FIGs. 1(a) and 1(b) are sectional views showing a method of manufacturing a semiconductor device of an embodiment of the present invention.

[FIG. 2] FIGs. 2(a) and 2(b) are sectional views showing the method of manufacturing a semiconductor device of the embodiment of the present invention.

[FIG. 3] FIGs. 3(a) and 3(b) are sectional views showing the method of manufacturing a semiconductor device of the embodiment of the present invention.

[FIG. 4] FIGs. 4(a) and 4(b) are sectional views showing the method of manufacturing a semiconductor device of the embodiment of the present invention.

[FIG. 5] FIGs. 5(a) and 5(b) are sectional views showing the method of manufacturing a semiconductor device of the embodiment of the present invention.

[FIG. 6] FIGs. 6(a) and 6(b) are sectional views showing the method of manufacturing a semiconductor device of the embodiment of the present invention.

[FIG. 7] FIGs. 7(a) and 7(b) are sectional views showing the method of manufacturing a semiconductor device of the embodiment of the present invention.

[FIG. 8] FIGs. 8(a) and 8(b) are sectional views showing the method of manufacturing a semiconductor device of the embodiment of the present invention.

[FIG. 9] FIGs. 9(a) and 9(b) are sectional views showing the method of manufacturing a semiconductor device of the embodiment of the present invention.

[FIG. 10] FIGs. 10(a) and 10(b) are sectional views showing the method of manufacturing a semiconductor device of the embodiment of the present invention.

[FIG. 11] FIGs. 11(a) and 11(b) are sectional views showing a conventional method of manufacturing a semiconductor device.

[FIG. 12] FIGs. 12(a) and 12(b) are sectional views showing the conventional method of manufacturing a semiconductor device.

[FIG. 13] FIG. 13 is a sectional view showing the conventional method of manufacturing a semiconductor device.

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2001-118933
(P2001-118933A)

(43) 公開日 平成13年4月27日 (2001.4.27)

(51) Int.Cl. ⁷	識別記号	F I	テマコード [*] (参考)
H 0 1 L 21/8234		H 0 1 L 21/28	3 0 1 D 4 M 1 0 4
27/088		27/08	1 0 2 C 5 F 0 4 8
21/28	3 0 1		3 2 1 N
21/8238			3 2 1 D
27/092			

審査請求 未請求 請求項の数 6 O L (全 11 頁)

(21) 出願番号 特願平11-298642

(22) 出願日 平成11年10月20日 (1999. 10. 20)

(71) 出願人 000001889

三洋電機株式会社

大阪府守口市京阪本通 2 丁目 5 番 5 号

(72) 発明者 青山 将茂

大阪府守口市京阪本通 2 丁目 5 番 5 号 三
洋電機株式会社内

(74) 代理人 100111383

弁理士 芝野 正雅

F ターム (参考) 4M104 AA01 BB01 CC05 DD02 DD26

DD80 DD84 FF06 FF13 FF14

GG09 GG10 GG14 HH16 HH20

5F048 AA09 AB03 AB10 AC01 AC03

BA01 BB06 BB08 BB12 BB16

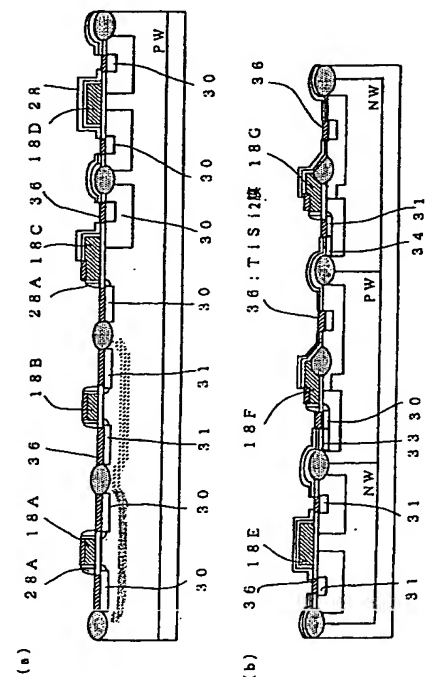
BC03 BC07 BE03 BC12

(54) 【発明の名称】 半導体装置の製造方法

(57) 【要約】

【課題】 製造工程数の削減化を可能にした半導体装置の製造方法を提供する。

【解決手段】 DMOSトランジスタと、ロジック系のMOSトランジスタとを1つの半導体基板上に構成する半導体装置の製造方法において、前記DMOSトランジスタ及びロジック系のMOSトランジスタを構成する各ゲート電極をおよそ1050℃以上の高温熱処理に耐え得る同一膜（例えば、ポリシリコン膜18）で形成し、当該ポリシリコン膜18上に自己整合的にチタンシリサイド膜36を形成する工程を有することを特徴とする。



【特許請求の範囲】

【請求項1】 第1MOSトランジスタと、前記第1MOSトランジスタよりも低耐圧な第2MOSトランジスタとを有する半導体装置の製造方法において、前記第1及び第2MOSトランジスタを構成する各ゲート電極をおよそ1050℃以上の高温熱処理に耐え得る同一膜で形成したことを特徴とする半導体装置の製造方法。

【請求項2】 第1MOSトランジスタと、前記第1MOSトランジスタよりも低耐圧な第2MOSトランジスタとを有する半導体装置の製造方法において、前記第1及び第2MOSトランジスタを構成する各ゲート電極をおよそ1050℃以上の高温熱処理に耐え得る同一膜で形成し、当該膜上に自己整合的にシリサイド膜を形成することを特徴とする半導体装置の製造方法。

【請求項3】 前記第1MOSトランジスタがDMOSトランジスタであり、前記第2MOSトランジスタがロジック系のMOSトランジスタであることを特徴とする請求項1あるいは請求項2に記載の半導体装置の製造方法。

【請求項4】 前記同一膜がポリシリコン膜であり、前記シリサイド膜がポリシリコン膜上に金属を形成した後に合金化したシリサイド膜であることを特徴とする請求項1あるいは請求項2に記載の半導体装置の製造方法。

【請求項5】 一導電型半導体層内に第1MOSトランジスタ用の逆導電型の第1低濃度拡散層を形成した後に、当該第1MOSトランジスタと第2MOSトランジスタとを分離する素子分離膜をLOCOS法により形成すると共に、前記低濃度拡散層を分離する第1ゲート酸化膜を形成する工程と、前記素子分離膜及び第1ゲート酸化膜以外の領域に第2ゲート酸化膜を形成する工程と、前記第1ゲート酸化膜を介して分離された一方の低濃度拡散層上に開口を有するレジスト膜をマスクにして前記低濃度拡散層内に一導電型不純物をイオン注入して逆導電型の第2低濃度拡散層を形成する工程と、前記第2MOSトランジスタ形成領域上の前記第2ゲート酸化膜を除去した後に当該第2MOSトランジスタ用の第3ゲート酸化膜を形成する工程と、全面に導電膜を形成した後に当該導電膜をパターンニングして前記第1MOSトランジスタ用の第1ゲート電極を前記第1ゲート酸化膜上から第2ゲート酸化膜上に跨るように形成する工程と、前記第2低濃度拡散層に一導電型不純物をイオン注入して前記第1ゲート電極に隣接するように一導電型拡散層を形成する工程と、前記第2MOSトランジスタ形成領域上の前記導電膜をパターンニングして当該第2MOSトランジスタ用の第2ゲート電極を形成する工程と、前記第1及び第2ゲート電極をマスクにして逆導電型不純物をイオン注入して前記第1及び第2ゲート電極に隣接するように逆導電型の第3低濃度拡散層を形成する工程と、前記第1及び第2ゲート電極の側壁部に側壁絶縁膜を形成した後に、当該第1及び第2ゲート電極及び側壁絶縁膜をマスクにして逆導電型の不純物をイオン注入して前記側壁絶縁膜に隣接するように逆導電型の高濃度拡散層を形成する工程と、全面に金属膜を形成した後に、この金属膜を熱処理して前記第1及び第2ゲート電極及び高濃度拡散層上にシリサイド膜を自己整合的に形成する工程とを有することを特徴とする半導体装置の製造方法。

純物をイオン注入して前記第1及び第2ゲート電極に隣接するように逆導電型の第3低濃度拡散層を形成する工程と、

前記第1及び第2ゲート電極の側壁部に側壁絶縁膜を形成した後に、当該第1及び第2ゲート電極及び側壁絶縁膜をマスクにして逆導電型の不純物をイオン注入して前記側壁絶縁膜に隣接するように逆導電型の高濃度拡散層を形成する工程とを有することを特徴とする半導体装置の製造方法。

【請求項6】 一導電型半導体層内に第1MOSトランジスタ用の逆導電型の第1低濃度拡散層を形成した後に、当該第1MOSトランジスタと第2MOSトランジスタとを分離する素子分離膜をLOCOS法により形成すると共に、前記低濃度拡散層を分離する第1ゲート酸化膜を形成する工程と、前記素子分離膜及び第1ゲート酸化膜以外の領域に第2ゲート酸化膜を形成する工程と、前記第1ゲート酸化膜を介して分離された一方の低濃度拡散層上に開口を有するレジスト膜をマスクにして前記低濃度拡散層内に一導電型不純物をイオン注入して逆導電型の第2低濃度拡散層を形成する工程と、前記第2MOSトランジスタ形成領域上の前記第2ゲート酸化膜を除去した後に当該第2MOSトランジスタ用の第3ゲート酸化膜を形成する工程と、全面に導電膜を形成した後に当該導電膜をパターンニングして前記第1MOSトランジスタ用の第1ゲート電極を前記第1ゲート酸化膜上から第2ゲート酸化膜上に跨るように形成する工程と、前記第2低濃度拡散層に一導電型不純物をイオン注入して前記第1ゲート電極に隣接するように一導電型拡散層を形成する工程と、前記第2MOSトランジスタ形成領域上の前記導電膜をパターンニングして当該第2MOSトランジスタ用の第2ゲート電極を形成する工程と、前記第1及び第2ゲート電極をマスクにして逆導電型不純物をイオン注入して前記第1及び第2ゲート電極に隣接するように逆導電型の第3低濃度拡散層を形成する工程と、前記第1及び第2ゲート電極の側壁部に側壁絶縁膜を形成した後に、当該第1及び第2ゲート電極及び側壁絶縁膜をマスクにして逆導電型の不純物をイオン注入して前記側壁絶縁膜に隣接するように逆導電型の高濃度拡散層を形成する工程と、全面に金属膜を形成した後に、この金属膜を熱処理して前記第1及び第2ゲート電極及び高濃度拡散層上にシリサイド膜を自己整合的に形成する工程とを有することを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体装置の製造

方法に関し、更に言えば、例えば液晶駆動用ドライバを構成する各種MOSトランジスタを1つの半導体基板上に構成する際の製造工程数の削減技術に関する。

【0002】

【従来の技術】以下、従来の半導体装置の製造方法について図面を参照しながら説明する。ここで、液晶駆動用ドライバは、ロジック系の（例えば、3V）Nチャネル型MOSトランジスタ及びPチャネル型MOSトランジスタ、高耐圧系の（例えば、30V）Nチャネル型MOSトランジスタ、Pチャネル型MOSトランジスタ、Nチャネル型D（Double dif fused）MOSトランジスタ及びPチャネル型DMOSトランジスタ、レベルシフト用の（例えば、30V）Nチャネル型MOSトランジスタ等から成る。

【0003】このように各種MOSトランジスタを有する半導体装置において、例えば前記高耐圧系のNチャネル型MOSトランジスタ、Pチャネル型MOSトランジスタ、Nチャネル型DMOSトランジスタ及びPチャネル型DMOSトランジスタ、レベルシフト用のNチャネル型MOSトランジスタ等の各種素子のゲート電極には、ポリシリコン膜が用いられ、他のロジック系のNチャネル型MOSトランジスタ及びPチャネル型MOSトランジスタのようなスピードが要求される素子のゲート電極には、ポリシリコン膜上にタングステンシリサイド（WSix）膜を積層することで低抵抗化が図られている。

【0004】このような半導体装置の製造方法について図面を参照しながら説明すると、図11（a）に示すように半導体基板51上のLOCOS法により形成された素子分離膜52以外の領域に高耐圧用に厚いゲート酸化膜53を介してゲート電極54が形成され、このゲート電極54を被覆するようにTEOS膜55が形成されている。

【0005】この状態から、図11（b）に示すように前記ゲート電極54上を被覆するようにレジスト膜56を形成し、このレジスト膜56をマスクにしてロジック系のMOSトランジスタ形成領域上の前記ゲート酸化膜53を除去する。

【0006】次に、図12（a）に示すように全面にポリシリコン膜57、タングステンシリサイド（WSix）膜58及びTEOS膜59を形成する。そして、ロジック系のMOSトランジスタ形成領域上にレジスト膜60を形成した状態で、このレジスト膜60をマスクにして図12（b）に示すように前記TEOS膜59を全面（異方性）エッチングして除去する。ここで、59Aは後工程でのロジック系のMOSトランジスタのゲート電極形成時のハードマスクとなる。また、59Bは本来不要なTEOS膜59の残膜層である。

【0007】更に、前記レジスト膜60及びハードマスク59Aをマスクにして前記ポリシリコン膜57、タン

グステンシリサイド（WSix）膜58をパターニングして前記ロジック系のMOSトランジスタのゲート電極を形成する。

【0008】この際、図13に示すように前記残膜層59Bがマスクとなって下層のタングステンシリサイド（WSix）膜58A及びポリシリコン膜57Aが残膜してしまい、その上の層間絶縁膜上に金属膜が配線される場合、メタル間でのショート不良の発生原因となっていた。

10 【0009】

【発明が解決しようとする課題】上述したように従来の液晶駆動用ドライバを構成する各種MOSトランジスタの中には、異なる材質からなるゲート電極を有するため、例えばポリシリコン膜単層から成る前記DMOSトランジスタや高耐圧MOSトランジスタのゲート電極の側壁部に上記タングステンシリサイド（WSix）膜の一部がサイドウォールスペーサ膜状に残膜することがあり、これを除去する工程が別に必要であった。

【0010】また、高耐圧系のMOSトランジスタとロジック系の微細化MOSトランジスタとではゲート酸化膜厚が異なるため、前記DMOSトランジスタや高耐圧MOSトランジスタのソース・ドレイン層形成用と微細化MOSトランジスタのソース・ドレイン層形成用とで、別々のイオン注入工程が必要であった。

【0011】また、上記構成において、全てのゲート電極をポリサイド構造で形成できれば上記問題は発生しないと考えられるが、下記の問題で現時点ではDMOSトランジスタにおいてポリサイド構造の採用は困難であった。

30 【0012】即ち、図6を準用して説明すると、当該DMOSプロセスにおいて、P型ボディ層（PB20）並びにN型ボディ層（NB21）はゲート電極18F、18GをマスクにしてP型ボディ層用並びにN型ボディ層用にイオン注入することで自己整合的に形成するものであり、このイオン注入後にP型ボディ層並びにN型ボディ層用の拡散工程を有していた。ここで、耐圧が30V以上となるように高耐圧トランジスタ及びDMOSトランジスタのソース・ドレイン層の拡散深さを1μm程度にする必要があり、この拡散工程ではおよそ1050℃以上的高温熱処理が加えられる。このとき、前記ゲート電極をポリサイド構造で形成した場合には、タングステンシリサイド（WSix）膜に熱によるストレスが加わり、デバイス特性が劣化することがあり、上記したようなDMOSトランジスタにおいてポリサイド構造は採用できなかった。尚、タングステンシリサイド（WSix）膜の熱によるストレス（膨張率）は、およそ $6.3 \times 10^{-6}/^{\circ}\text{C}$ であり、ポリシリコン膜の熱によるストレス（膨張率）は、およそ $2 \times 10^{-6}/^{\circ}\text{C}$ であり、タングステンシリサイド（WSix）膜の熱膨張率はポリシリコン膜のおよそ3倍もあるため、その影響が大きかつ

た。

【0013】

【課題を解決するための手段】そこで、本発明の半導体装置の製造方法は上記課題に鑑み為され、図10に示すようにDMOSTランジスタと、ロジック系のMOSTランジスタとを1つの半導体基板上に構成するものにおいて、前記DMOSTランジスタ及びロジック系のMOSTランジスタを構成する各ゲート電極をおよそ1050℃以上の高温熱処理に耐え得る同一膜（例えば、ポリシリコン膜18）で形成し、当該ポリシリコン膜18から成る各ゲート電極18A、18B、18C、18D、18E、18F、18G上に自己整合的にチタンシリサイド膜36を形成する工程を有することを特徴とするものである。

【0014】

【発明の実施の形態】以下、本発明の半導体装置の製造方法に係る一実施形態について図面を参照しながら説明する。

【0015】ここで、図10は本発明の半導体装置、即ち液晶駆動用ドライバは、図面(a)の左側からロジック系の（例えば、3V）Nチャネル型MOSTランジスタ及びPチャネル型MOSTランジスタ、レベルシフト用の（例えば、30V）Nチャネル型MOSTランジスタ、高耐圧系の（例えば、30V）Nチャネル型MOSTランジスタ、図面(b)の左側から同じくPチャネル型MOSTランジスタ、Nチャネル型DMOSTランジスタ及びPチャネル型DMOSTランジスタで構成される。

【0016】以下、上記液晶駆動用ドライバを構成する各種MOSTランジスタの製造方法について説明する。

【0017】先ず、図1において、各種MOSTランジスタを構成するための領域を画定するために、例えばP型の半導体基板1内にP型ウエル3及びN型ウエル5を形成する。

【0018】即ち、前記基板1のN型ウエル形成領域上をおよそ500Å程度のパッド酸化膜2を介して不図示のレジスト膜で被覆した状態で、例えばボロンイオンをおよそ60KeVの加速電圧で、 $4 \times 10^{12}/\text{cm}^2$ の注入条件でイオン注入する。その後、図1に示すように前記P型ウエル3上をレジスト膜4で被覆した状態で、例えばリンイオンをおよそ160KeVの加速電圧で、 $6 \times 10^{12}/\text{cm}^2$ の注入条件でイオン注入する。尚、実際には前述したようにイオン注入された各イオン種を、例えば1150℃のN₂雰囲気中で、4時間熱拡散することで、P型ウエル3及びN型ウエル5となる。

【0019】次に、図2において、低濃度のP型及びN型のソース・ドレイン層（以下、LP層8、LN層9と称す。）を形成する。

【0020】即ち、基板上に前記パッド酸化膜2上を、先ず、不図示のレジスト膜でLN層形成領域上に被覆し

た状態で基板表層に、例えばボロンイオンをおよそ80KeVの加速電圧で、 $8 \times 10^{12}/\text{cm}^2$ の注入条件でイオン注入してLP層8を形成する。その後、不図示のレジスト膜でLP層8上を被覆した状態で基板表層に、例えばリンイオンをおよそ50KeVの加速電圧で、 $4 \times 10^{12}/\text{cm}^2$ の注入条件でイオン注入してLN層9を形成する。尚、実際には前述したようにイオン注入された各イオン種を、例えば1100℃のN₂雰囲気中で、2時間熱拡散することで、LP層8及びLN層9となる。

【0021】続いて、図3において、各MOSTランジスタ毎に素子分離するため、およそ6000Å程度の素子分離膜11及び選択酸化膜11A（第1ゲート酸化膜に相当し、後述する第2ゲート酸化膜12と一体となってNチャネル型及びPチャネル型DMOSTランジスタ用のゲート酸化膜を構成する。）をLOCOS法により形成し、この素子分離膜11及び選択酸化膜11A以外の活性領域上におよそ800Å程度の高耐圧用の厚いゲート酸化膜12（第2ゲート酸化膜に相当する。）を熱酸化により形成する。

【0022】更に、図4において、レジスト膜をマスクにして前記Nチャネル型及びPチャネル型DMOSTランジスタのソース領域側のLP層8及びLN層9の拡散深さを調整するために、それぞれ逆側の導電型不純物をイオン注入する。ここで、拡散深さを浅くするのは、ドレインに高電圧を印加したときのバンスルー防止のためと、SLP層8A及びSLN層9Aの濃度を高めて寄生抵抗を低くするためである。尚、図4ではレジスト膜14を用いて、LN層9に例えばボロンイオンをおよそ240KeVの加速電圧で、 $2 \times 10^{12}/\text{cm}^2$ の注入条件でイオン注入している状態を例示している。

【0023】次に、図5において、通常耐圧用のNチャネル型及びPチャネル型MOSTランジスタ形成領域上とレベルシフト用のNチャネル型MOSTランジスタ形成領域上の前記ゲート酸化膜12を除去した後に、この領域上に新たに所望の膜厚のゲート酸化膜を形成する。

【0024】即ち、先ず、全面にレベルシフト用のNチャネル型MOSTランジスタ用におよそ140Å程度（この段階では、およそ100Å程度であるが、後述する通常耐圧用のゲート酸化膜形成時に膜厚が、140Å程度まで増大する。）のゲート酸化膜16を熱酸化により形成する。続いて、通常耐圧用のNチャネル型及びPチャネル型MOSTランジスタ形成領域上に形成された前記レベルシフト用のNチャネル型MOSTランジスタのゲート酸化膜16を除去した後に、この領域に通常耐圧用の薄いゲート酸化膜17（およそ70Å程度）を熱酸化により形成する。

【0025】続いて、図6において、全面におよそ1000Å程度のポリシリコン膜18を形成し、このポリシリコン膜18にPOC1₃を熱拡散源として熱拡散し導

電化した後に、このポリシリコン膜18をパターニングして高耐圧用のNチャネル型及びPチャネル型MOSトランジスタ、Nチャネル型及びPチャネル型DMOSトランジスタ用の各ゲート電極18D、18E、18F、18G（後述するDMOSトランジスタのボディ層を形成する際の、イオン注入用のマスクとなる。）を形成すると共に、通常耐圧用のNチャネル型及びPチャネル型MOSトランジスタ形成領域上及びレベルシフト用のNチャネル型MOSトランジスタ形成領域上には、前記ポリシリコン膜18が残膜する。

【0026】このとき、オーバーエッチングがかかり、各ゲート電極18D、18E、18F、18G下以外のゲート酸化膜12はエッチング除去されるように設定されている。

【0027】そして、図示しないが全面に薄く（およそ200Å程度）TEOS膜を形成し、レジスト膜を用いて前記Nチャネル型及びPチャネル型DMOSトランジスタのソース層形成領域に、それぞれ逆側の導電型不純物をイオン注入して、図6に示すようにこの部分に逆導電型の不純物層（P型ボディ層20、N型ボディ層21）を形成する。尚、上記TEOS膜はイオン注入工程における基板表面へのダメージを抑止するためのものであり、例えば上記各ゲート電極18D、18E、18F、18Gのパターニング時に、当該ゲート電極18D、18E、18F、18G下以外のゲート酸化膜12を完全にはエッチング除去しないように設定しておけば、あらためてTEOS膜を形成する必要はない。

【0028】即ち、先ず、前記Nチャネル型DMOSトランジスタのソース層形成領域上に開口を有する第1のレジスト膜を用いて、前記LN層9Aに例えばボロンイオンをおよそ40KeVの加速電圧で、 $5 \times 10^{13} / \text{cm}^2$ の注入条件でイオン注入して、P型ボディ層20を形成する。また、前記Pチャネル型DMOSトランジスタのソース層形成領域上に開口を有する第2のレジスト膜を用いて、前記LP層8Aに例えばリンイオンをおよそ100KeVの加速電圧で、 $8 \times 10^{13} / \text{cm}^2$ の注入条件でイオン注入して、N型ボディ層21を形成する。尚、実際には前述したようにイオン注入された各イオン種が熱拡散されることで、P型ボディ層20及びN型ボディ層21となる。

【0029】ここで、この拡散工程ではおよそ1050℃以上の高温熱処理が加えられるが、前記ゲート電極はポリシリコン膜で形成されているため、熱によるストレス（膨張率、およそ $2 \times 10^{-6} / ^\circ\text{C}$ ）の影響が小さいので、デバイス特性が劣化することはない。

【0030】更に、前記通常耐圧のNチャネル型及びPチャネル型MOSトランジスタ形成領域の基板（P型ウェル3）内に第2のP型ウェル23及び第2のN型ウェル24を形成する。

【0031】即ち、前記通常耐圧のNチャネル型MOS

トランジスタ形成領域上に開口を有する不図示のレジスト膜をマスクにして前記P型ウェル3内に例えばボロンイオンをおよそ240KeVの加速電圧で、 $2 \times 10^{13} / \text{cm}^2$ の注入条件で前記ポリシリコン膜18を貫通するようにイオン注入して、第2のP型ウェル23を形成する。また、前記通常耐圧用のPチャネル型MOSトランジスタ形成領域上に開口を有する不図示のレジスト膜をマスクにして前記P型ウェル3内に例えばリンイオンをおよそ550KeVの加速電圧で、 $2 \times 10^{13} / \text{cm}^2$ の注入条件で前記ポリシリコン膜18を貫通するようにイオン注入して、第2のN型ウェル24を形成する。ここで、このイオン注入領域上にはポリシリコン膜18を成膜した時の状態のまま、ゲート電極用のパターニングを施すことなく残存させておくことで、前記第2のP型ウェル23及び第2のN型ウェル24のそれぞれが均一の深さで形成できる。

【0032】続いて、図7において、前記ポリシリコン膜18をパターニングして前記通常耐圧用のNチャネル型及びPチャネル型MOSトランジスタとレベルシフト用のNチャネル型MOSトランジスタ用の各ゲート電極18A、18B、18Cを形成する。ここで、図示しないが前述のゲート電極18D、18E、18F、18G及び選択酸化膜11A上は、レジスト膜で被覆しておく必要がある。この場合にも前記ゲート電極18A、18B、18C下以外のゲート酸化膜16、17はオーバーエッチングがかかりエッチング除去されるように設定されている。

【0033】更に、図8において、前記ゲート電極18A、18B、18C、18D、18E、18F、18G及び基板におよそ200ÅのTEOS膜27を形成した後に、前記ゲート電極18A、18B、18C、18D、18E、18F、18G及び不図示のレジスト膜をマスクにして各種導電型の不純物をイオン注入して、各MOSトランジスタ用の低濃度のソース・ドレイン層を形成する。

【0034】即ち、通常耐圧用のNチャネル型MOSトランジスタ、レベルシフト用のNチャネル型MOSトランジスタ、高耐圧用のNチャネル型MOSトランジスタ及びNチャネル型DMOSトランジスタの各低濃度ソース・ドレイン層形成領域上に開口を有する不図示のレジスト膜をマスクにして、例えばリンイオンをおよそ20KeVの加速電圧で、 $5 \times 10^{13} / \text{cm}^2$ の注入条件でイオン注入して、低濃度のN型ソース・ドレイン層25を形成する。また、通常耐圧用のPチャネル型MOSトランジスタ、高耐圧用のPチャネル型MOSトランジスタ及びPチャネル型DMOSトランジスタの各低濃度ソース・ドレイン層形成領域上に開口を有する不図示のレジスト膜をマスクにして、例えばニフツ化ボロンイオンをおよそ20KeVの加速電圧で、 $3 \times 10^{13} / \text{cm}^2$ の注入条件でイオン注入して、低濃度のP+型ソース・

ドレイン層26を形成する。このイオン注入の活性化はおよそ900℃のN₂雰囲気中で10秒のランプアニールで行う。

【0035】更に、図8において、全面に前記ゲート電極18A、18B、18C、18D、18E、18F、18Gを被覆するようにおよそ2500Å程度のTEOS膜28をLPCVD法により形成する。そして、前記ゲート電極18A、18B以外の前記ゲート電極18C、18D、18E、18F、18G上にその一部あるいは全部を被覆するようにレジスト膜29を形成した後に、このレジスト膜29をマスクにして前記TEOS膜28を異方性エッチングする。これにより、図9に示すように前記ゲート電極18A、18Bの両側壁部、ゲート電極18C、18F、18Gの片側（ソース層側）の側壁部にサイドウォールスペーサ膜28Aが形成され、前記レジスト膜29で被覆された領域にはTEOS膜28がそのまま残膜する。このとき、高耐圧部の低濃度イオン注入層では、TEOS膜が残るため、エッチングダメージの影響を受けない。また、後述のシリサイド膜形成領域となるポリシリコン膜の表面が露出する。

【0036】そして、図9において、前記サイドウォールスペーサ膜28A及びTEOS膜28をマスクに各MOSトランジスタ形成領域に各種導電型の不純物をイオン注入して、各MOSトランジスタ用の高濃度のソース・ドレイン層を形成する。

【0037】即ち、通常耐圧用のNチャネル型MOSトランジスタ、レベルシフト用のNチャネル型MOSトランジスタ、高耐圧用のNチャネル型MOSトランジスタ及びNチャネル型DMOSトランジスタの各高濃度ソース・ドレイン層形成領域上に開口を有する不図示のレジスト膜をマスクにして、例えばヒ素イオンをおよそ70KeVの加速電圧で、 $5 \times 10^{15} / \text{cm}^2$ の注入条件でイオン注入して、高濃度のN+型ソース・ドレイン層30を形成する。また、通常耐圧用のPチャネル型MOSトランジスタ、高耐圧用のPチャネル型MOSトランジスタ及びPチャネル型DMOSトランジスタの各高濃度ソース・ドレイン層形成領域上に開口を有する不図示のレジスト膜をマスクにして、例えばニフツ化ボロンイオンをおよそ40KeVの加速電圧で、 $4 \times 10^{15} / \text{cm}^2$ の注入条件でイオン注入して、高濃度のP+型ソース・ドレイン層31を形成する。このイオン注入の活性化は、前述した工程と同様に、およそ900℃のN₂雰囲気中で10秒のランプアニールで行われる。

【0038】ここで、前記ソース・ドレイン層25、26、30、31は前記TEOS膜27を介してイオン注入されるため、同一工程で形成することができるため、製造工数の削減化が図れる。

【0039】また、33、34はP型ボディ層20、N型ボディ層21の各電位を取るためのP型拡散層及びN型拡散層である。尚、このP型拡散層33及びN型拡散

層34は、前述した高濃度のP+型及びN+型ソース・ドレイン層30、31を形成する工程と同一工程で形成してもよく、別工程としても構わない。

【0040】更に、図10において、前記TEOS膜28、28Aを保護膜として用いて、前記高濃度のP+型及びN+型ソース・ドレイン層30、31上面及びゲート電極18A、18B、18C、18D、18E、18F、18G上面にシリサイド膜を形成する。

【0041】即ち、前記TEOS膜27を全面エッチングにより除去し、例えば、およそ300Å程度のチタン膜を形成した後に、このチタン膜をランプアニール処理することで、前記高濃度のP+型及びN+型ソース・ドレイン層30、31上及びゲート電極18A、18B、18C、18D、18E、18F、18G上にチタンシリサイド(TiSi₂)膜36を形成する。そして、未反応のチタン膜を除去する。尚、本実施形態では、例えば水酸化アンモニウムと過酸化水素と水との混合液を用いて、前記未反応のチタン膜を除去している。

【0042】以下、図示した説明は省略するが、全面にTEOS膜及びBPSG膜等からなるおよそ6000Å程度の層間絶縁膜を形成した後に、前記各高濃度のソース・ドレイン層30、31にコンタクトする金属配線層を形成することで、前記液晶駆動用ドライバを構成する通常耐圧用のNチャネル型MOSトランジスタ、Pチャネル型MOSトランジスタ、レベルシフト用のNチャネル型MOSトランジスタ、高耐圧用のNチャネル型MOSトランジスタ、Pチャネル型MOSトランジスタ、Nチャネル型DMOSトランジスタ及びPチャネル型DMOSトランジスタが完成する。

【0043】以上説明したように本発明では、液晶駆動用ドライバを構成するロジック系の通常耐圧Nチャネル型MOSトランジスタ、Pチャネル型MOSトランジスタ、レベルシフト用のNチャネル型MOSトランジスタ、高耐圧用のNチャネル型MOSトランジスタ、Pチャネル型MOSトランジスタ、Nチャネル型DMOSトランジスタ及びPチャネル型DMOSトランジスタの各ゲート電極を同一材料（ポリシリコン膜、あるいはポリシリコン膜とチタンシリサイド膜との積層膜）で形成できるため、従来のように異なる材質（ポリシリコン膜の単層膜とポリシリコン膜とタングステンシリサイド膜との積層膜）で、しかも別々の工程で形成する必要がなくなるため、高耐圧用のMOSトランジスタのゲート電極を構成するポリシリコン膜の側壁部にロジック系の通常耐圧MOSトランジスタのゲート電極をバタニング形成する際に、当該ゲート電極を構成するタングステンシリサイド膜及びポリシリコン膜が残膜するという不都合がなくなり、これを除去するための別工程を省略できる。

【0044】また、各MOSトランジスタ用の高濃度のソース・ドレイン層形成領域上のゲート酸化膜厚を調整

することで、各MOSトランジスタ用の高濃度のソース・ドレイン層のイオン注入工程が、同一工程で形成可能になる。

【0045】

【発明の効果】本発明によれば、液晶駆動用ドライバを構成する各MOSトランジスタの各ゲート電極を同一材料膜で形成できるため、従来のように異なる材質で形成する場合に発生していたゲート電極の側壁部に他のゲート電極を構成する異なる材質膜が残膜することがなくなるため、これを除去する工程を省略できる。

【0046】また、各MOSトランジスタ用の高濃度のソース・ドレイン層形成領域上のゲート酸化膜厚を調整することで、各MOSトランジスタ用の高濃度のソース・ドレイン層のイオン注入工程が、同一工程で形成可能になり、製造工程数の削減が図れる。

【図面の簡単な説明】

【図1】本発明の一実施形態の半導体装置の製造方法を示す断面図である。

【図2】本発明の一実施形態の半導体装置の製造方法を示す断面図である。

【図3】本発明の一実施形態の半導体装置の製造方法を

示す断面図である。

【図4】本発明の一実施形態の半導体装置の製造方法を示す断面図である。

【図5】本発明の一実施形態の半導体装置の製造方法を示す断面図である。

【図6】本発明の一実施形態の半導体装置の製造方法を示す断面図である。

【図7】本発明の一実施形態の半導体装置の製造方法を示す断面図である。

10 【図8】本発明の一実施形態の半導体装置の製造方法を示す断面図である。

【図9】本発明の一実施形態の半導体装置の製造方法を示す断面図である。

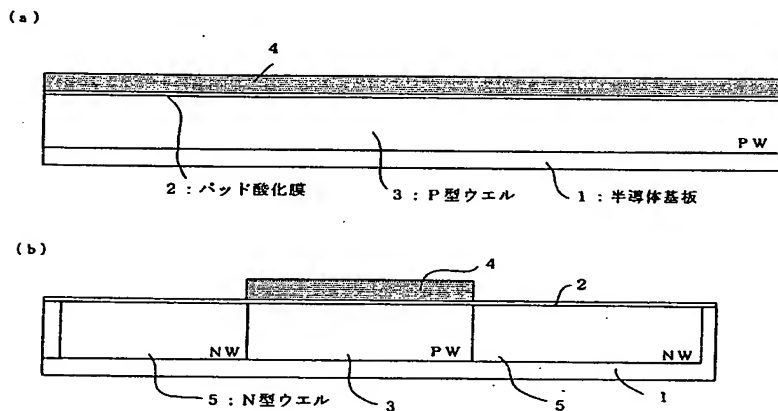
【図10】本発明の一実施形態の半導体装置の製造方法を示す断面図である。

【図11】従来の半導体装置の製造方法を示す断面図である。

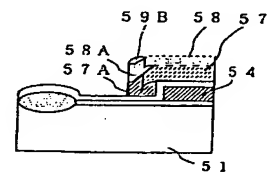
【図12】従来の半導体装置の製造方法を示す断面図である。

20 【図13】従来の半導体装置の製造方法を示す断面図である。

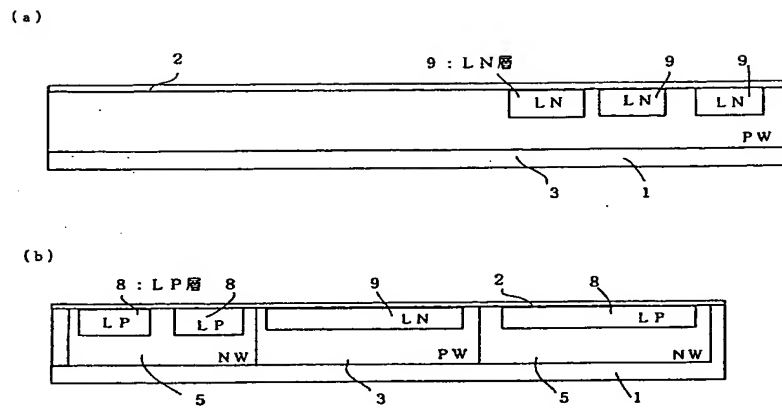
【図1】



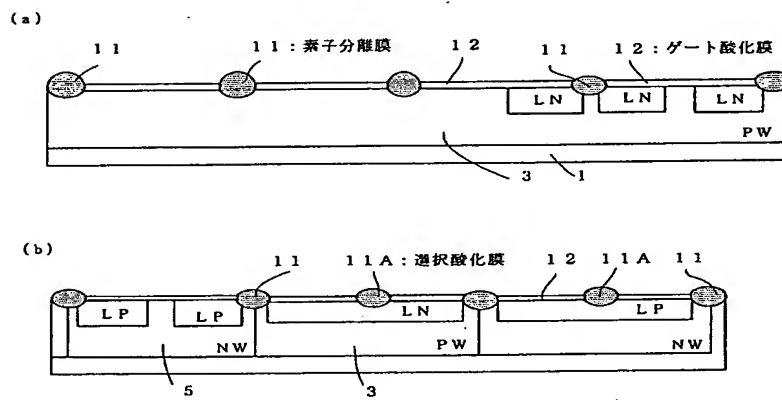
【図13】



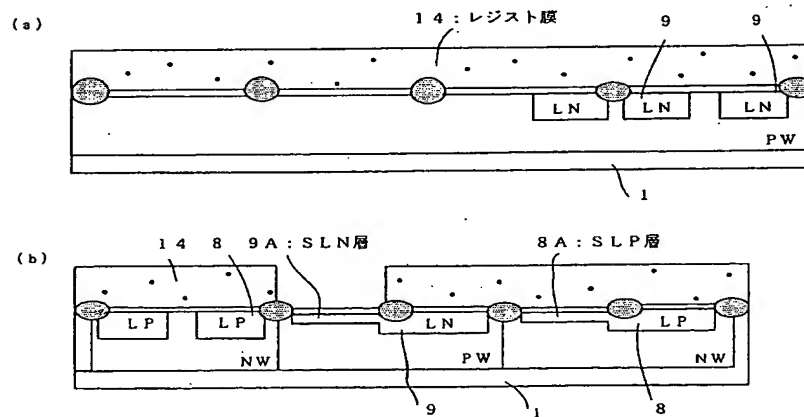
【図2】



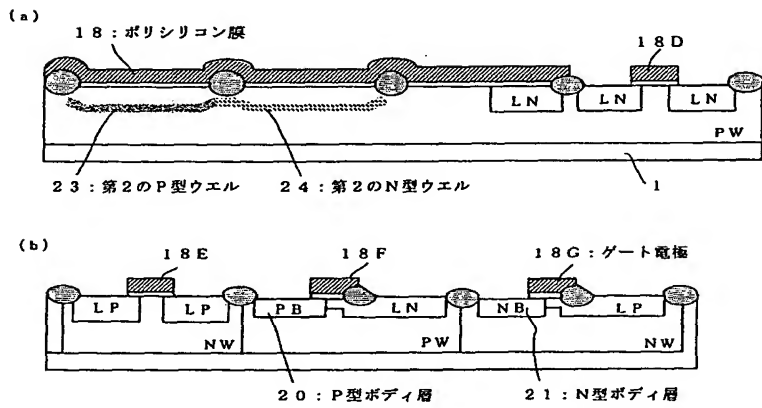
【図3】



【図4】

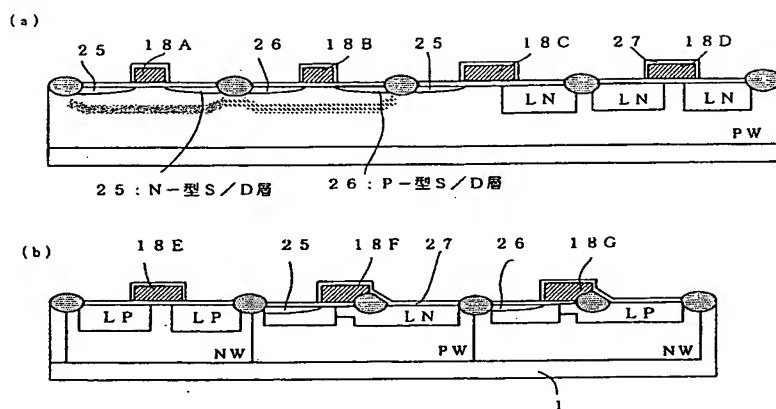


【図6】

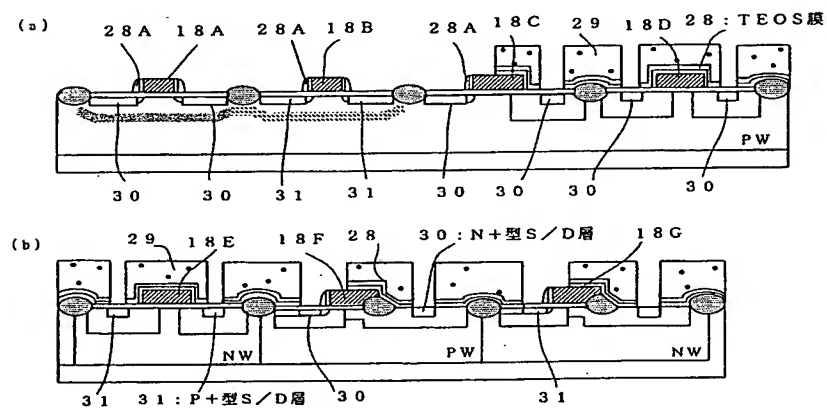


-9-

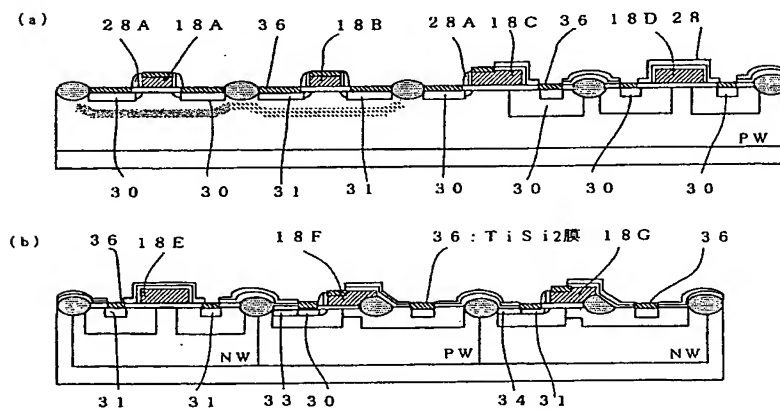
【図8】



【図9】

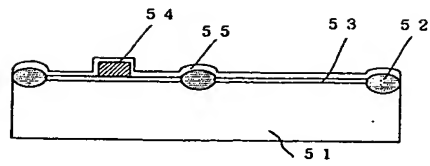


【図10】

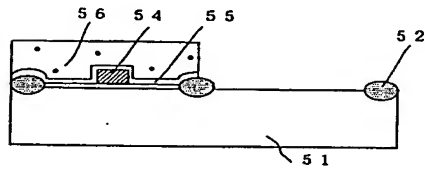


【図11】

(a)

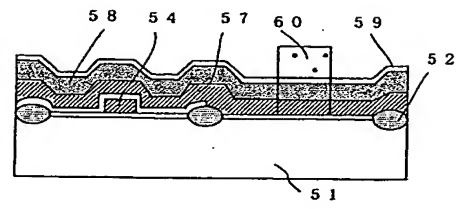


(b)



【図12】

(a)



(b)

